

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-125137

(43)Date of publication of application : 17.05.1996

(51)Int.Cl. H01L 27/10
H01L 27/10

(21)Application number : 06-265870

(71)Applicant : NEC CORP

(22)Date of filing : 28.10.1994

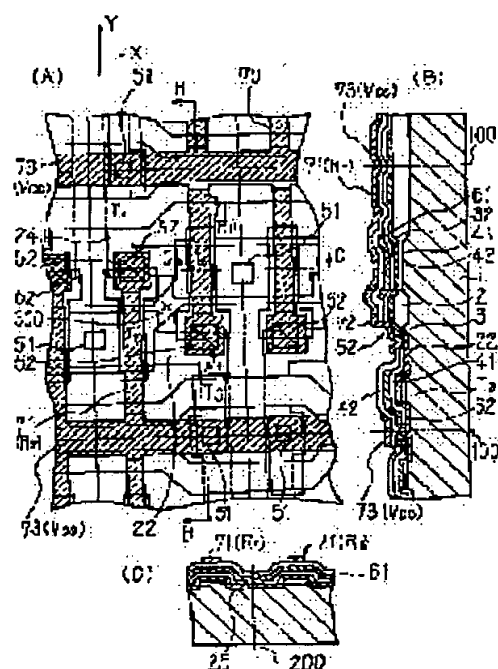
(72)Inventor : NATSUME HIDETAKA
SATOU NORIFUMI
MITANI HITOSHI
HIRUMA TAKAMI

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To obtain an inexpensive load resistance type semiconductor memory in which suppression of soft error is enhanced upon incidence of an α particle by improving the common contact structure constituting the flip-flop of an SRAM cell and the reliability is enhanced at the time of retaining the data by enhancing the balance and stability.

CONSTITUTION: The semiconductor memory comprises an SRAM cell in which the drain region 22 (or 24) of one drive transistor does not directly touch the gate electrode 32 of the other drive transistor and respective forward end parts are located while being isolated from the drain region. The forward end part is connected with the drain region through a connecting part 72 forming a resistive element (r), i.e., a region of a silicon film pattern 70 where a first load element (or a second load element) is formed at a predetermined part.



LEGAL STATUS

[Date of request for examination] 28.10.1994

[Date of sending the examiner's decision of rejection] 06.05.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-125137

(43) 公開日 平成8年(1996)5月17日

(51) Int.Cl.
H01L 27/10

識別記号 庁内整理番号
371
471

F I

技術表示箇所

審査請求 有 請求項の数14 O L (全 14 頁)

(21) 出願番号 特願平6-265870

(22) 出願日 平成6年(1994)10月28日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 夏目 秀隆

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 佐藤 記史

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 三谷 仁

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 京本 直樹 (外2名)

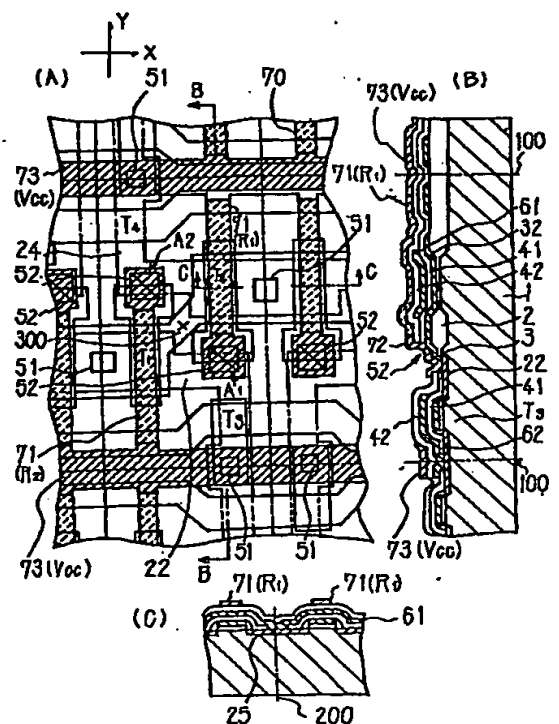
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 SRAMセルのフリップフロップを構成する共通コンタクト構造を改良することにより α 粒子の入射に対するソフトエラーの抑制が向上する半導体記憶装置を提供する。また平衡性、安定性をよくしデータ保持の信頼性を向上させ、かつ低廉の負荷抵抗型の半導体記憶装置を提供する。

【構成】 一方の駆動トランジスタ T_1 (もしくは T_2) のドレイン領域22 (もしくは24) に他方の駆動トランジスタ T_2 (もしくは T_1) のゲート電極32 (もしくは31) を直接接触しないでドレイン領域から離間してそれぞれの先端部分を位置させ、先端部分とドレイン領域とを第1の負荷素子 (もしくは第2の負荷素子) を所定の箇所に形成したシリコン膜パターン70の一領域であり抵抗素子 r を形成する接続部72で接続したSRAMセルを有する。



【特許請求の範囲】

【請求項1】 第1の駆動用絶縁ゲート電界効果トランジスタのドレイン領域に第1の負荷素子と第2の駆動用絶縁ゲート電界効果トランジスタのゲート電極を電氣的に接続し、前記第2の駆動用絶縁ゲート電界効果トランジスタのドレイン領域に第2の負荷素子と前記第1の駆動用絶縁ゲート電界効果トランジスタのゲート電極を電氣的に接続することによりフリップフロップを構成したスタティックランダムアクセスメモリセルを有する半導体記憶装置において、

前記第2および第1の駆動用絶縁ゲート電界効果トランジスタの前記ゲート電極を形成する導電膜は前記第1および第2の駆動用絶縁ゲート電界効果トランジスタの前記ドレイン領域に直接接触しないで前記ドレイン領域から離間してそれぞれの先端部分を位置させており、前記先端部分と前記ドレイン領域とを前記第1および第2の負荷素子を所定の箇所に形成したシリコン膜で接続することにより前記ゲート電極が前記ドレイン領域にそれぞれ電氣的に接続していることを特徴とする半導体記憶装置。

【請求項2】 前記先端部分と前記ドレイン領域との間の前記シリコン膜の部分に抵抗素子が形成されていることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 半導体基板の主面に厚いフィールド絶縁膜が形成されかつゲート絶縁膜と同一膜厚の薄い絶縁膜が前記フィールド絶縁膜と接続して形成されており、前記フィールド絶縁膜上を延在した前記ゲート電極を形成する前記導電膜の前記先端部分が前記薄い絶縁膜上に位置しており、かつ前記先端部分の側面に側壁絶縁膜が形成されており、前記ドレイン領域に接触した前記シリコン膜が前記側壁絶縁膜上を延在して前記先端部分の上面に接触していることを特徴とする請求項1もしくは請求項2記載の半導体記憶装置。

【請求項4】 半導体基板の主面に厚いフィールド絶縁膜が形成され、前記フィールド絶縁膜上を延在した前記ゲート電極を形成する前記導電膜の前記先端部分が前記フィールド絶縁膜上に位置しており、前記ドレイン領域に接触した前記シリコン膜が前記フィールド絶縁膜上を延在して前記先端部分の側面及び上面に接触していることを特徴とする請求項1もしくは請求項2記載の半導体記憶装置。

【請求項5】 半導体基板の主面に厚いフィールド絶縁膜が形成され、前記フィールド絶縁膜の先端と前記導電膜の前記先端部分の側面とが略一致しており、前記ドレイン領域に接触した前記シリコン膜が前記フィールド絶縁膜の前記先端上を上昇して前記導電膜の前記先端部分の前記側面に接触していることを特徴とする請求項1もしくは請求項2記載の半導体記憶装置。

【請求項6】 前記第1および前記第2の負荷素子を形成する箇所ならびに前記導電膜の前記先端部分と前記ド

レイン領域とを接続するそれぞれの箇所を含む前記シリコン膜の平面パターンは、前記スタティックランダムアクセスメモリセルの平面形状の中心に対して点対称の形状であることを特徴とする請求項1記載の半導体記憶装置。

【請求項7】 高電位ラインと低電位ラインとの間に直列接続された第1の負荷素子となる第1の負荷抵抗および第1の駆動用絶縁ゲート電界効果トランジスタと、前記高電位ラインと前記低電位ラインとの間に直列接続された第2の負荷素子となる第2の負荷抵抗および第2の駆動用絶縁ゲート電界効果トランジスタと、前記第1の負荷抵抗と前記第1の駆動用絶縁ゲート電界効果トランジスタとが接続しかつ前記第2の駆動用絶縁ゲート電界効果トランジスタのゲート電極が電氣的に接続する第1の節点と、前記第2の負荷抵抗と前記第2の駆動用絶縁ゲート電界効果トランジスタとが接続しかつ前記第1の駆動用絶縁ゲート電界効果トランジスタのゲート電極が電氣的に接続する第2の節点とを有してフリップフロップを構成し、さらに前記第1の節点とビット線との間に載置された第1の転送用絶縁ゲート電界効果トランジスタと、前記第2の節点と反転ビット線との間に載置された第2の転送用絶縁ゲート電界効果トランジスタとを有して構成されたスタティックランダムアクセスメモリセルの多数を配列した半導体記憶装置において、前記第1および第2の駆動用絶縁ゲート電界効果トランジスタのゲート電極ならびに前記第1および第2の転送用絶縁ゲート電界効果トランジスタのゲート電極を含むワード線は同一層の導電膜から形成されており、前記第1の駆動用絶縁ゲート電界効果トランジスタと前記第2の駆動用絶縁ゲート電界効果トランジスタとは前記スタティックランダムアクセスメモリセルの平面形状の中心に対して点対称に形成されており、前記第1の転送用絶縁ゲート電界効果トランジスタと前記第2の転送用絶縁ゲート電界効果トランジスタとは前記中心に対して点対称に形成されており、所定の箇所に前記第1の負荷抵抗が形成された第1のシリコン膜パターンと所定の箇所に前記第2の負荷抵抗が形成された第2のシリコン膜パターンとは前記中心に対して点対称に形成されていることを特徴とする半導体記憶装置。

【請求項8】 前記第1の駆動用絶縁ゲート電界効果トランジスタのドレイン領域と前記第1の転送用絶縁ゲート電界効果トランジスタのソースおよびドレイン領域のうちの一方の領域とが共通の第1の不純物領域により形成され、前記第2の駆動用絶縁ゲート電界効果トランジスタのゲート電極を構成する導電膜は前記第1の不純物領域と直接接続しないでその先端部分が該第1の不純物領域の近傍に位置しており、かつ前記第1のシリコン膜パターンの一部分に形成された接続部により前記第1の不純物領域と前記導電膜の前記先端部分とを接続するこ

とにより前記第1の節点を構成し、
前記第2の駆動用絶縁ゲート電界効果トランジスタのド
レイン領域と前記第2の転送用絶縁ゲート電界効果トラ
ンジスタのソースおよびドレイン領域のうちの一方の領
域とが共通の第2の不純物領域により形成され、前記第
1の駆動用絶縁ゲート電界効果トランジスタのゲート電
極を構成する導電膜は前記第2の不純物領域と直接接続
しないでその先端部分が該第2の不純物領域の近傍に位
置しており、かつ前記第2のシリコン膜パターン的一部
分に形成された接続部により前記第2の不純物領域と前
記導電膜の前記先端部分とを接続することにより前記第
2の節点を構成していることを特徴とする請求項7記載
の半導体記憶装置。

【請求項9】 前記第1および第2のシリコン膜パター
ンにそれぞれ形成された前記接続部の層抵抗の値は前記
第1および第2のシリコン膜パターンにそれぞれ形成さ
れた前記第1および第2の負荷抵抗の層抵抗の値より小
であり、かつ前記接続部はそれぞれ抵抗素子を形成して
いることを特徴とする請求項8記載の半導体記憶装置。

【請求項10】 前記第1および第2のシリコン膜パター
ンにそれぞれ形成された前記接続部の層抵抗の値は前
記第1および第2のシリコン膜パターンにそれぞれ形成
された前記第1および第2の負荷抵抗の層抵抗の値より
小であり、前記導電膜の前記先端部分と接続した前記接
続部が前記低電位ラインとなる低電位膜上に層間絶縁膜
を介してそれぞれ延在していることを特徴とする請求項
8記載の半導体記憶装置。

【請求項11】 前記第1の転送用絶縁ゲート電界効果
トランジスタのソースおよびドレイン領域のうちの一方
の領域が前記第1の駆動用絶縁ゲート電界効果トランジ
スタのドレイン領域と共通に第1の不純物領域により形
成され他方の領域が第1の接続パッド膜を介して前記ビ
ット線に接続し、
前記第2の転送用絶縁ゲート電界効果トランジスタのソ
ースおよびドレイン領域のうちの一方の領域が前記第2
の駆動用絶縁ゲート電界効果トランジスタのドレイン領
域と共通に第2の不純物領域により形成され他方の領域
が第2の接続パッド膜を介して前記反転ビット線に接続
していることを特徴とする請求項7もしくは請求項8記
載の半導体記憶装置。

【請求項12】 前記ビット線および前記反転ビット線
は第1の方向を延在し、前記第1および第2の接続パッ
ド膜は前記第1の方向に長辺が延びる長方平面形状をし
ていることを請求項11記載の半導体記憶装置。

【請求項13】 前記第1および第2の転送用絶縁ゲー
ト電界効果トランジスタのソースおよびドレイン領域の
うちの前記他方の領域と前記第1および第2の接続パッ
ド膜のそれぞれの第1の部分とが第1の層間絶縁膜に形
成されたコンタクト孔を通してそれぞれ接続し、前記第
1および第2のシリコン膜パターンにそれぞれ形成され

た前記高電位ラインが第2の層間絶縁膜および前記接続
パッド膜を介して前記コンタクト孔を完全に覆って前記
第1の方向と直角の第2の方向を延びていることを特徴
とする請求項12記載の半導体記憶装置。

【請求項14】 前記第1および第2の接続パッド膜は
前記第1の部分から前記第1の方向をたがいに同一の一
方の向きに離間した第2の部分とをそれぞれ有し、前記第
2の部分と前記ビット線および前記反転ビット線とを第
3の層間絶縁膜に形成したビットコンタクト孔を通して
それぞれ接続し、かつ前記第2の方向に隣接する他のス
タティックランダムアクセスメモリセルにおける前記第
1および第2の接続パッド膜に対するビットコンタクト
孔はともにそのコンタクト孔から前記第1の方向を前記
一方の向きとは逆の向きにそれぞれ位置していることを
特徴とする請求項13記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体記憶装置に係わ
り、特にスタティックランダムアクセスメモリ（以下、
SRAM、と称す）セルに関する。

【0002】

【従来の技術】SRAMセルの負荷素子をシリコン膜で
形成すると構造が簡素化され有利となる。

【0003】まず、図8を参照してシリコン膜で負荷素
子として負荷抵抗を用いたSRAMセルを説明する。

【0004】高電位のVccと低電位のGND（接地）
との間に第1の負荷抵抗R₁と第1の駆動用絶縁ゲート
電界効果トランジスタ（以下、駆動トランジスタ、と称
す）T₁とを直列接続（第1のインバータ）し、第2の
負荷抵抗R₂と第2の駆動トランジスタT₂とを直列接
続（第2のインバータ）し、第1の負荷抵抗R₁と第1
の駆動トランジスタT₁との接続部に第2の駆動トラン
ジスタT₂のゲート電極を接続して第1の節点A₁とし、
第2の負荷抵抗R₂と第2の駆動トランジスタT₂と
との接続部に第1の駆動トランジスタT₁のゲート電極
を接続して第2の節点A₂としてフリップフロップを構
成している。

【0005】そして、第1のワード線W₁をゲート電極
とする第1の転送用絶縁ゲート電界効果トランジスタ
（以下、転送トランジスタ、と称す）T₃のソースド
レイン経路を介して第1の節点A₁をビット線BLに接
続し、第1のワード線W₁と同一の信号が伝達される第
2のワード線W₂をゲート電極とする第2の転送トラン
ジスタ、と称す）T₄のソースドレイン経路を介して
第2の節点A₂を反転ビット線RBLに接続している。

【0006】次に第1の節点A₁（もしくは第2の節点
A₂）の構造を説明する。第1の駆動トランジスタT₁
（もしくは第2の駆動トランジスタT₂）のドレイン領
域と第1の転送トランジスタT₃（もしくは第2の転送ト
ランジスタT₄）のソースおよびドレイン領域のうちの

10

20

30

40

50

方の領域とを共通のN型不純物領域で構成し、層間絶縁膜にこのN型不純物領域に達するコンタクト孔（以下、共通コンタクト孔、と称す）を形成し、この共通コンタクト孔の箇所において第2の駆動トランジスタ T_2 （もしくは第1の駆動トランジスタ T_1 ）のゲート電極および第1の負荷抵抗 R_1 （もしくは第2の負荷抵抗 R_2 ）の一端をN型不純物領域に接続して共通コンタクトを構成する。

【0007】次に従来技術の共通コンタクトの構造を図9を参照して説明する。

【0008】図9（A）は上記特開昭63-193558号公報に開示されてあるような共通コンタクトの構造であり、図9（B）および図9（C）は特開平5-90540号公報に開示されてあるような共通コンタクトの構造である。

【0009】図9（A）において、P型シリコン基板1に一方のインバータの上記N型不純物領域122を形成し、この領域上に他方のインバータの駆動トランジスタの多結晶シリコンゲート電極132をゲート絶縁膜と同様の薄い絶縁膜3を介して延在させ、負荷素子としての負荷抵抗 R の高抵抗の多結晶シリコン膜171を層間絶縁膜141、142間に形成し、負荷抵抗 R の高抵抗多結晶シリコン膜171の側面を露出しかつゲート電極132の上面および側面を露出させる共通コンタクト孔152を層間絶縁膜142、141に形成し、共通コンタクト孔152を高不純物濃度の低抵抗多結晶シリコン層173で充填している。このように他方のインバータの駆動トランジスタのゲート電極132は一方のインバータのN型不純物領域122に高不純物濃度の低抵抗多結晶シリコン層173により接続しているから、実質的に抵抗零で節点すなわちN型不純物領域に接続している構造となっている。

【0010】図9（B）および図9（C）において図9（A）と同一もしくは類似の機能の箇所は同じ符号を付けてあるから重複する説明はなるべく省略する。

【0011】図9（B）において一方のインバータのN型不純物領域122に他方のインバータの駆動トランジスタのゲート電極132が直接接触している。そして層間絶縁膜142、141を貫通して形成した共通コンタクト孔152に高不純物濃度の低抵抗多結晶シリコン層173が充填し、その上に負荷抵抗 R の高抵抗多結晶シリコン層171が接続している。このように他方のインバータの駆動トランジスタのゲート電極132は一方のインバータのN型不純物領域122に直接接続しかつ高不純物濃度の低抵抗多結晶シリコン層173によっても接続しているから、実質的に抵抗零でゲート電極132が節点すなわちN型不純物領域に接続している構造となっている。

【0012】図9（C）においても一方のインバータのN型不純物領域122に他方のインバータの駆動トラン

ジスタのゲート電極132が直接接触しているから、実質的に抵抗零でゲート電極132が節点すなわちN型不純物領域に接続している構造となっている。

【0013】一方、負荷抵抗型のSRAMセルの平面形状において、セルの中心点に対して一対の駆動トランジスタどうしを点対称に形成し、一対の転送トランジスタどうし点対称に形成し、一対の負荷抵抗どうし点対称に形成するとセルの平衡性、安定性がよくなりデータ保持の信頼性を向上することができる。

10 【0014】このために上記特開昭63-193558号公報には図10に示すようなSRAMセルを開示している。

【0015】図10において、第1の駆動トランジスタ T_1 は、接地線に接続するN型不純物領域121をソース領域とし、N型不純物領域122をドレイン領域とし、第1層目の多結晶シリコン膜からなるゲート電極131を有して構成されている。第2の駆動トランジスタ T_2 は、接地線に接続するN型不純物領域125をソース領域とし、N型不純物領域124をドレイン領域とし、第1層目の多結晶シリコン膜からなるゲート電極132を有して構成されている。第1の転送トランジスタ T_3 は、N型不純物領域122をソースおよびドレイン領域のうちの一方の領域とし、ビット線（BL）に接続するN型不純物領域123をソースおよびドレイン領域のうちの他方の領域とし、第1層目の多結晶シリコン膜のゲート電極131、132上を層間絶縁膜を介して交差する第2層目の多結晶シリコン膜からなるワード線（W）133の一部をゲート電極として構成されている。第2の転送トランジスタ T_4 は、N型不純物領域124をソースおよびドレイン領域のうちの一方の領域とし、反転ビット線（RBL）に接続するN型不純物領域126をソースおよびドレイン領域のうちの他方の領域とし、上記第2層目の多結晶シリコン膜からなるワード線（W）133の他の一部をゲート電極として構成されている。第3層目の多結晶シリコン膜171からなる第1の負荷抵抗 R_1 は第1の節点A、となる共通コンタクト孔152においてN型不純物領域122に接続し、第3層目の多結晶シリコン膜171からなる第2の負荷抵抗 R_2 は第2の節点A、となる共通コンタクト孔152においてN型不純物領域124に接続している。

【0016】そしてSRAMセルの平面形状において、セルの中心点300に対して、第1の駆動トランジスタ T_1 と第2の駆動トランジスタ T_2 とはたがいに点対称に形状形成され、第1の転送トランジスタ T_3 と第2の転送トランジスタ T_4 とはたがいに点対称に形状形成され、第1の負荷抵抗 R_1 と第2の負荷抵抗 R_2 とはたがいに点対称に形状形成されている。

【0017】

【発明が解決しようとする課題】以上のように従来技術のSRAMセルではフリップフロップを構成するための

共通コンタクト構造において、一方のインバータのN型不純物領域と他方のインバータの駆動トランジスタのゲート電極との間に抵抗機能が存在しないので、 α 粒子の基板入射に対して、ソフトエラーの所望する抑制が出来無い。よって、 α 粒子が基板に入射した際のデータ保持の信頼性が低下するという問題点を有する。

【0018】またセルの平衡性、安定性をよくし通常状態におけるデータ保持の信頼性を向上させるために点対称形状にする従来技術の負荷抵抗型のSRAMセルは、駆動トランジスタのゲート電極を第1層目の多結晶シリコン膜で構成し、転送トランジスタのゲート電極を第2層目の多結晶シリコン膜で形成し、負荷抵抗を第3層目の多結晶シリコン膜で構成している。このように駆動トランジスタのゲート電極と転送トランジスタのゲート電極を異なる層で構成しているから、それぞれ別の工程で形成する必要があり、またソース、ドレイン領域の形成も駆動トランジスタと転送トランジスタとをそれぞれ別の工程で形成する必要がある。よって、製造コストが高い負荷抵抗型半導体記憶装置となってしまう。

【0019】したがって本発明の目的は、SRAMセルのフリップフロップを構成する共通コンタクト構造を改良することにより α 粒子の入射に対するソフトエラーの抑制が向上する半導体記憶装置を提供することである。

【0020】本発明の他の目的は、平衡性、安定性をよくしデータ保持の信頼性を向上させ、かつ低廉の負荷抵抗型の半導体記憶装置を提供することである。

【0021】本発明の別の目的は、 α 粒子の入射に対するソフトエラーの抑制が向上し、さらに平衡性等が良好でかつ低廉の半導体記憶装置を提供することである。

【0022】

【課題を解決するための手段】本発明の特徴は、第1の駆動トランジスタのドレイン領域に第1の負荷素子と第2の駆動トランジスタのゲート電極を電気的に接続し、前記第2の駆動トランジスタのドレイン領域に第2の負荷素子と前記第1の駆動トランジスタのゲート電極を電気的に接続することによりフリップフロップを構成したSRAMセルを有する半導体記憶装置において、前記第2および第1の駆動トランジスタの前記ゲート電極を形成する導電膜は前記第1および第2の駆動トランジスタの前記ドレイン領域に直接接しない前記ドレイン領域から離間してそれぞれの先端部分を位置させており、前記先端部分と前記ドレイン領域とを前記第1および第2の負荷素子を所定の箇所に形成したシリコン膜で接続することにより前記ゲート電極が前記ドレイン領域にそれぞれ電気的に接続している半導体記憶装置にある。この前記先端部分と前記ドレイン領域との間の前記シリコン膜の部分に抵抗素子もしくは抵抗機能を形成することができる。また上記負荷素子は負荷抵抗であることができる。あるいは上記負荷素子はTF Tであることができる。

【0023】ここで半導体基板の主面に厚いフィールド絶縁膜が形成されかつゲート絶縁膜と同一膜厚の薄い絶縁膜が前記フィールド絶縁膜と接続して形成されており、前記フィールド絶縁膜上を延在した前記ゲート電極を形成する前記導電膜の前記先端部分が前記薄い絶縁膜上に位置しており、かつ前記導電膜の前記先端部分の側面に側壁絶縁膜が形成されており、前記ドレイン領域に接触した前記シリコン膜が前記側壁絶縁膜上を延在して前記先端部分の上面に接触している構造とすることができる。あるいは、半導体基板の主面に厚いフィールド絶縁膜が形成され、前記フィールド絶縁膜上を延在した前記ゲート電極を形成する前記導電膜の前記先端部分が前記フィールド絶縁膜上に位置しており、前記ドレイン領域に接触した前記シリコン膜が前記フィールド絶縁膜上を延在して前記先端部分の側面及び上面に接触している構造とすることができる。あるいは、半導体基板の主面に厚いフィールド絶縁膜が形成され、前記フィールド絶縁膜の先端と前記導電膜の前記先端部分の側面とが略一致しており、前記ドレイン領域に接触した前記シリコン膜が前記フィールド絶縁膜の前記先端上を上昇して前記導電膜の前記先端部分の前記側面に接触している構造とすることができる。さらに前記第1および前記第2の負荷素子ならびに前記導電膜の前記先端部分と前記ドレイン領域とを接続するそれぞれの箇所を含む前記シリコン膜の平面パターンは、前記SRAMセルの平面形状の中心に対して点対称の形状であることが好ましい。

【0024】本発明の他の特徴は、高電位ラインと低電位ラインとの間に直列接続された第1の負荷素子としての第1の負荷抵抗および第1の駆動トランジスタと、前記高電位ラインと前記低電位ラインとの間に直列接続された第2の負荷素子としての第2の負荷抵抗および第2の駆動トランジスタと、前記第1の負荷抵抗と前記第1の駆動トランジスタとが接続しかつ前記第2の駆動トランジスタのゲート電極が電気的に接続する第1の節点と、前記第2の負荷抵抗と前記第2の駆動トランジスタとが接続しかつ前記第1の駆動トランジスタのゲート電極が電気的に接続する第2の節点とを有してフリップフロップを構成し、さらに前記第1の節点とビット線との間に載置された第1の転送トランジスタと、前記第2の節点と反転ビット線との間に載置された第2の転送トランジスタとを有するSRAMセルの多数を配列した半導体記憶装置において、前記第1および第2の駆動トランジスタのゲート電極ならびに前記第1および第2の転送トランジスタのゲート電極を含むワード線は同一レベルの導電膜から形成されており、前記第1の駆動トランジスタと前記第2の駆動トランジスタとは前記SRAMセルの平面形状の中心に対して点対称に形成されており、前記第1の転送トランジスタと前記第2の転送トランジスタとは前記中心に対して点対称に形成されており、所定の箇所に前記第1の負荷抵抗が形成された第1のシリ

コン膜パターンと所定の箇所に前記第2の負荷抵抗が形成された第2のシリコン膜パターンとは前記中心に対して点対称に形成されている半導体記憶装置にある。ここで、前記第1の駆動トランジスタのドレイン領域と前記第1の転送トランジスタのソースおよびドレイン領域のうちの一方の領域とが共通の第1の不純物領域により形成され、前記第2の駆動トランジスタのゲート電極を構成する導電膜は前記第1の不純物領域と直接接続しないでその先端部分が該第1の不純物領域の近傍に位置しており、かつ前記第1のシリコン膜パターン内に形成された接続部により前記第1の不純物領域と前記導電膜の前記先端部分とを接続することにより前記第1の節点を構成し、前記第2の駆動トランジスタのドレイン領域と前記第2の転送トランジスタのソースおよびドレイン領域のうちの一方の領域とが共通の第2の不純物領域により形成され、前記第1の駆動トランジスタのゲート電極を構成する導電膜は前記第2の不純物領域と直接接続しないでその先端部分が該第2の不純物領域の近傍に位置しており、かつ前記第2のシリコン膜パターン内に形成された接続部により前記第2の不純物領域と前記導電膜の前記先端部分とを接続することにより前記第2の節点を構成していることが好ましい。

【0025】ここで前記第1および第2のシリコン膜パターンにそれぞれ形成された前記接続部の層抵抗の値は前記第1および第2のシリコン膜パターンにそれぞれ形成された前記第1および第2の負荷抵抗の層抵抗の値より小であり、かつ前記接続部はそれぞれ抵抗素子を形成することができる。また、前記第1および第2のシリコン膜パターンにそれぞれ形成された前記接続部の層抵抗の値は前記第1および第2のシリコン膜パターンにそれぞれ形成された前記第1および第2の負荷抵抗の層抵抗の値より小であり、前記導電膜の前記先端部分と接続した前記接続部が前記低電位ラインとなる低電位膜上に層間絶縁膜を介してそれぞれ延在していることができる。

【0026】さらに、前記第1の転送トランジスタのソースおよびドレイン領域のうちの一方の領域が前記第1の駆動トランジスタのドレイン領域と共通の第1の不純物領域により形成され他方の領域が第1の接続パッド膜を介して前記ビット線に接続し、前記第2の転送トランジスタのソースおよびドレイン領域のうちの一方の領域が前記第2の駆動トランジスタのドレイン領域と共通の第2の不純物領域により形成され他方の領域が第2の接続パッド膜を介して前記反転ビット線に接続していることができる。この場合、前記ビット線および前記反転ビット線は第1の方向を延在し、前記第1および第2の接続パッド膜は前記第1の方向に長辺が延びる長方平面形状をしていることが好ましい。そして、前記第1および第2の転送用絶縁ゲート電界効果トランジスタのソースおよびドレイン領域のうちの前記他方の領域と前記第1および第2の接続パッド膜のそれぞれの第1の部分とが

第1の層間絶縁膜に形成されたコンタクト孔を通してそれぞれ接続し、前記第1および第2のシリコン膜パターンにそれぞれ形成された前記高電位ラインが第2の層間絶縁膜および前記接続パッド膜を介して前記コンタクト孔を完全に覆って前記第1の方向と直角の第2の方向を延びていることが好ましい。

【0027】また、前記第1および第2の接続パッド膜は前記第1の部分から前記第1の方向をたがいに同一の一方の向きに離間した第2の部分とをそれぞれ有し、前記第2の部分と前記ビット線および前記反転ビット線とを第3の層間絶縁膜に形成したビットコンタクト孔を通してそれぞれ接続し、かつ前記第2の方向に隣接するSRAMセルにおける前記第1および第2の接続パッド膜に対するビットコンタクト孔はともにそのコンタクト孔から前記第1の方向を前記一方の向きとは逆の向きにそれぞれ位置していることが好ましい。

【0028】

【作用】上記構成によれば、抵抗素子 r を共通コンタクト部に挿入することによりソフトエラーの抑制が出来る。すなわち一方のインバータの駆動トランジスタのドレイン領域がハイレベルの時に α 粒子が入射してレベルダウンするが、抵抗素子 r により他方のインバータの駆動トランジスタのゲート電極のレベルダウンを鈍感にすることができ、ソフトエラーが発生しにくい半導体記憶装置となる。

【0029】また駆動トランジスタのゲート電極、転送トランジスタのゲート電極、負荷素子としての負荷抵抗の3つの要素に対して2層のシリコン層で対応できるから、データ保持の信頼性を向上させるための点対称構造を工数を増加することなく実現でき、廉価な負荷抵抗型の半導体記憶装置となる。

【0030】その他の利点については実施例に基づいて説明する。

【0031】

【実施例】以下、図面を参照して本発明を説明する。

【0032】図1乃至図4は本発明の一実施例の半導体記憶装置におけるSRAMセルを製造工程順に示した図であり、各図において(A)は平面図、(B)は(A)のB-B部の断面図、(C)は(A)のC-C部の断面図である。また図5はその回路図である。

【0033】まず一つのSRAMセル(MC)の回路図を示す図5において、第1の駆動トランジスタ T_1 と第1の負荷素子としての第1の負荷抵抗 R_1 とから第1のインバータを形成し、第2の駆動トランジスタ T_2 と第2の負荷素子としての第2の負荷抵抗 R_2 とから第2のインバータを形成し、それぞれの負荷抵抗の一端が高電位側ライン、例えば正電位 V_{cc} ラインに接続し、それぞれの駆動トランジスタのソース領域が低電位側のライン、例えば接地 GND ラインに接続している。

【0034】第1の駆動トランジスタ T_1 のドレイン領

域と第1の負荷抵抗 R_1 、の他端との第1の節点 A_1 に抵抗素子 r が形成され、第2の駆動トランジスタ T_2 のゲート電極はこの抵抗素子 r を通して第1の駆動トランジスタ T_1 のドレイン領域に接続し、第2の駆動トランジスタ T_2 のドレイン領域と第2の負荷抵抗 R_2 、の他端との第2の節点 A_2 に抵抗素子 r が形成され、第1の駆動トランジスタ T_1 のゲート電極はこの抵抗素子 r を通して第2の駆動トランジスタ T_2 のドレイン領域に接続し、これによりフリップフロップを構成している。

【0035】第1の転送トランジスタ T_1 のソースおよびドレイン領域の一方の領域が第1の駆動トランジスタ T_1 のドレイン領域に接続し、他方の領域がビット線 BL に接続し、ゲート電極が第1のワード線 W_1 に接続している。第2の転送トランジスタ T_2 のソースおよびドレイン領域の一方の領域が第2の駆動トランジスタ T_2 のドレイン領域に接続し、他方の領域が反転ビット線 RBL に接続し、ゲート電極が第2のワード線 W_2 に接続している。

【0036】ここで第1のワード線 W_1 と第2のワード線 W_2 とはセル領域の外部、例えば周辺回路領域で接続されて1本のワード線 W となっているから第1および第2のワード線には同一の信号が伝達される。

【0037】図1(A)、(B)、(C)において、P型シリコン基板1の主面に厚いフィールド絶縁膜を選択熱酸化法によるシリコン酸化膜2から構成し、このフィールド絶縁膜2により区画された活性領域(トランジスタ形成領域)上に薄いゲート絶縁膜を熱酸化シリコン膜3から形成する。

【0038】そしてゲート絶縁膜3上からフィールド絶縁膜2上に低抵抗の導電膜、例えば高濃度にリンをドーピングして層抵抗が $10 \sim 100 \Omega/\square$ の低抵抗の多結晶シリコン膜もしくはその上にさらに高融点金属シリサイド($MoSi$ 、 WSi 、 $TiSi$ 等)を積層したポリサイド膜を堆積しこれをパターニングすることにより、第1および第2の駆動トランジスタ T_1 、 T_2 のゲート電極31、32およびゲート絶縁膜3上において第1および第2の転送トランジスタ T_1 、 T_2 のゲート電極となる第1および第2のワード線 W_1 、 W_2 を同時に形成する。

【0039】尚、図1(A)においてこれらゲート電極およびワード線は右下りの実線のハッチングで示している。

【0040】また、ゲート電極31、32はゲート絶縁膜上が本来のゲート電極でありフィールド絶縁膜上はその引き出し電極であるが、本明細書では便宜上両者含めてをゲート電極という。

【0041】その後、低圧CVDで堆積したシリコン酸化膜に異方性エッチングを施してゲート電極、ゲート絶縁膜およびワード線の側面に側壁絶縁膜(サイドウォール絶縁膜)4を形成する。

【0042】その後、ゲート電極、側壁絶縁膜およびフ

ィールド絶縁膜をマスクにしてしてリンもしくは砒素をイオン注入し活性化熱処理を行うことにより深さ $0.1 \sim 0.3 \mu m$ の各トランジスタのソースおよびドレイン領域となる第1～第6のN型不純物領域21～26を同時に形成する。

【0043】尚、図1(A)においてこれら第1～第6のN型不純物領域は右上りの実線のハッチングで示している。

【0044】図1(A)の平面図を参照して各トランジスタのレイアウトを説明する。

【0045】それぞれのSRAMセル(MC)はX方向に延在する2点鎖線100とY方向に延在する2点鎖線200とによって囲まれて図示しており、一对の2点鎖線100の中心線と一对の2点鎖線200の中心線との交点、すなわちSRAMセル(MC)の中心点を×印300で図示してある。尚これら2点鎖線100、200や×印300は発明を説明するために図示したものであり実際の半導体記憶装置に存在するものではない。

【0046】すなわち図1(A)において、中央のSRAMセル MC_1 のX方向に隣接して左右にSRAMセル MC_2 、およびSRAMセル MC_3 が配列し、中央のSRAMセル MC_1 のY方向に隣接して上下にSRAMセル MC_4 、およびSRAMセル MC_5 が配列している。さらに、SRAMセル MC_2 のX方向に隣接して左右にSRAMセル MC_6 、およびSRAMセル MC_7 が配列し、SRAMセル MC_3 のX方向に隣接して左右にSRAMセル MC_8 、およびSRAMセル MC_9 が配列している。実施例の説明は中央のSRAMセル MC_1 を例示して行なう。

【0047】第1の駆動トランジスタ T_1 はゲート電極31を有し、第1のN型不純物領域21をソース領域とし、第2のN型不純物領域22をドレイン領域として構成されている。

【0048】第2の駆動トランジスタ T_2 はゲート電極32を有し、第5のN型不純物領域25をソース領域とし、第4のN型不純物領域24をドレイン領域として構成されている。

【0049】第1の転送トランジスタ T_1 は第1のワード線 W_1 のゲート絶縁膜上の箇所をゲート電極とし、第2のN型不純物領域22をソースおよびドレイン領域の一方の領域とし、第3のN型不純物領域23をソースおよびドレイン領域の他方の領域として構成されている。

【0050】第2の転送トランジスタ T_2 は第2のワード線 W_2 のゲート絶縁膜上の箇所をゲート電極とし、第4のN型不純物領域24をソースおよびドレイン領域の一方の領域とし、第6のN型不純物領域26をソースおよびドレイン領域の他方の領域として構成されている。

【0051】第1の駆動トランジスタ T_1 のドレイン領域となりかつ第1の転送トランジスタ T_1 のソースおよびドレイン領域の一方の領域となる第2のN型不純物領域

22は、第2の駆動トランジスタ T_2 のゲート電極を抵抗素子 r (図5)を介して接続することにより第1の節点 A_1 (図5)の箇所となる領域である。

【0052】すなわち第2の駆動トランジスタ T_2 のゲート電極は第2のN型不純物領域22に直接接触していないで、図1(B)に示すように、フィールド絶縁膜2上から延在した第2の駆動トランジスタ T_2 の低抵抗のゲート電極32の先端部分はゲート絶縁膜の残余箇所3'上で終端しており、その側面に側壁絶縁膜4が形成され、低抵抗のゲート電極32と第2のN型不純物領域22とは、この時点では絶縁分離された状態となっている。

【0053】同様に第2の駆動トランジスタ T_2 のドレイン領域となりかつ第2の転送トランジスタ T_3 のソースおよびドレイン領域の一方の領域となる第4のN型不純物領域24は、第1の駆動トランジスタ T_1 のゲート電極を抵抗素子 r (図5)を介して接続することにより第2の節点 A_2 (図5)の箇所となる領域である。

【0054】すなわち第1の駆動トランジスタ T_1 のゲート電極は第4のN型不純物領域24に直接接触していないから、この時点ではゲート電極31と第4のN型不純物領域24とは、この時点では絶縁分離された状態となっている。

【0055】さらに本実施例では、第1および第2の駆動トランジスタ T_1 、 T_2 のゲート電極31、32も第1および第2の転送トランジスタ T_3 、 T_4 のゲート電極を含む第1および第2のワード線 W_1 、 W_2 もともに同一層である多結晶シリコン膜もしくはポリサイド膜をパターンニングして同時に形成し、かつセルの中心点300に対して、第1の駆動トランジスタ T_1 と第2の駆動トランジスタ T_2 がゲート電極およびソース、ドレイン領域を含めて点対称に配置され、第1の転送トランジスタ T_3 と第2の転送トランジスタ T_4 がゲート電極およびソース、ドレイン領域を含めて点対称に配置されている。

【0056】また図1(A)の平面図に一部を示すように、Y方向に隣接するSRAMセルの第1の転送トランジスタ T_3 の第3のN型不純物領域23どうしは共通であり、また、第2の転送トランジスタ T_4 の第6のN型不純物領域26どうしも共通である。同様に、X方向に隣接するSRAMセルの第1の駆動トランジスタ T_1 の第1のN型不純物領域21どうしは共通であり、同様に第2の駆動トランジスタ T_2 の第5のN型不純物領域25どうしも共通である。

【0057】次に図2(A)、(B)、(C)において、全体にCVDシリコン酸化膜あるいはその上にさらにBPSG膜を積層しアニールを行って第1の層間絶縁膜41を形成する。

【0058】その後、第1の層間絶縁膜41に第1、第3、第5および第6のN型不純物領域21、23、2

5、26に達するコンタクト孔51をそれぞれ形成する。

【0059】尚、図2(A)の平面図においてコンタクト孔51を□内に×印を入れて図示してある。

【0060】その後、高融点シリサイド膜あるいはリンをドーブした多結晶シリコン膜または両者の積層膜をパターンニングして低電位膜である接地配線膜61および接続パッド膜(一般に、座布団、といわれている)62を形成する。

10 【0061】尚、図2(A)の平面図において接地配線膜61および接続パッド膜62は右下りの実線のハッチングで示している。

【0062】接地配線膜61はコンタクト孔51を通して、第1の駆動トランジスタ T_1 のソース領域となる第1のN型不純物領域21および第2の駆動トランジスタ T_2 のソース領域となる第5のN型不純物領域25にそれぞれ接続してこれらの領域を接地電位(0電位、GND)にする。

20 【0063】長方形の島状の接続パッド膜62の一方は第1の転送トランジスタ T_3 のソースおよびドレイン領域の他方の領域となる第3のN型不純物領域23にコンタクト孔51を通して接続し、長方形の島状の接続パッド膜62の他方は第2の転送トランジスタ T_4 のソースおよびドレイン領域の他方の領域となる第6のN型不純物領域26にコンタクト孔51を通して接続する。

30 【0064】ここで説明している中央のSRAMセルMC₁に対する一対の接続パッド膜62はY方向を同じ向き(図2(A)で上方向)のみに延びており、X方向に隣接するSRAMセルMC₂に対する一対の接続パッド膜62'はY方向を逆の向き(図2(A)で下方向、同図では一個の接続パッド膜のみ図示)のみに延びている。したがって接続パッド膜に関しては、それぞれのSRAMセルにおいて中心点300に対して点対称になっていない。この理由は後から図4を参照して説明するようにビット線の高密度形成を容易にするためである。

【0065】次に図3(A)、(B)、(C)において、全体にCVDシリコン酸化膜あるいはBPSG膜上にCVDシリコン酸化膜を積層しアニールを行って第2の層間絶縁膜42を形成する。

40 【0066】その後、第2および第1の層間絶縁膜42、41に第2および第4のN型不純物領域22、24に達するコンタクト孔52すなわち共通コンタクト孔52をそれぞれ形成する。尚、図3(A)の平面図において共通コンタクト孔52を□内に×印を入れて図示してある。

50 【0067】その後、シリコン膜を成長する。このシリコン膜は多結晶シリコン、単結晶シリコン、非晶質シリコン等で負荷抵抗、抵抗素子等が形成できればよい。しかし一般に多結晶シリコンを用いているから以後、多結晶シリコン膜として説明する。この多結晶シリコン膜を

パターンニングして形成された多結晶シリコン膜パターン70のうち、第1および第2の負荷抵抗 R_1 、 R_2 を形成する領域71および共通コンタクト孔における接続部72をマスク（図示省略）してVcc線を形成する領域73にN型不純物をイオン注入し活性化熱処理後に同領域73の層抵抗が所定の値より低くなるようにする。次に第1および第2の負荷抵抗 R_1 、 R_2 を形成する領域71のみマスク（図示省略）して共通コンタクト孔における接続部72にN型不純物をイオン注入する。この際には活性化熱処理後に、ソフトエラーの回避と通常動作のスピードとの両者からの適切な抵抗値 r が得られる層抵抗になるようにそのドーズ量、エネルギーを定める。この工程により、領域71の層抵抗は堆積時の多結晶シリコン膜の値、例えば $1\text{G}\Omega/\square \sim 100\text{T}\Omega/\square$ の範囲内の所定の値で第1および第2の負荷抵抗 R_1 、 R_2 の抵抗値は $5\text{G}\Omega \sim 500\text{T}\Omega$ の範囲内の所定の値となり、接続部72の層抵抗は $500\Omega/\square \sim 5\text{M}\Omega/\square$ の範囲内の所定の値となりそこに形成される抵抗素子 r の抵抗値 r は $5\text{k}\Omega \sim 50\text{M}\Omega$ の範囲内の所定の値となる。

【0068】ここで r （ $1\text{k}\Omega$ のソフトエラーの発生率を1とすると、 r =数 $\text{k}\Omega \sim$ 数百 $\text{k}\Omega$ のソフトエラーの発生率は0.7程度であり、 r =数 $\text{M}\Omega \sim$ 数 $10\text{M}\Omega$ のソフトエラーの発生率は0.2程度である。しかし r 値を大きくするとアクセスタイムが遅くなるから、どのような r 値にするかは、許容できるソフトエラーの発生率と必要なアクセスタイムから決定される。

【0069】なお上記イオン注入の2回のステップによりVcc線を形成する領域73の層抵抗は得られた接続部72の層抵抗より低くなる。また、最初のイオン注入の際に、共通コンタクト孔52内のゲート電極の先端部分およびドレイン領域から離間した接続部72の箇所、すなわち接続部のなかで実際に抵抗素子 r を形成する箇所をマスクして他の箇所はVccの領域73と同様にN型不純物をイオン注入することもできる。

【0070】さらにVccの領域73は層間絶縁膜42を介してコンタクト孔51を完全に覆ってX方向を延在している。コンタクト孔51上の層間絶縁膜42の表面にはコンタクト孔51の形状が反映して凹部が形成されている。したがってVccの領域73下に完全にコンタクト孔51が位置しないと多結晶シリコン膜のパターンニングの際のエッチング残りが凹部内に生じ不都合な多結晶シリコンが残存することになる。

【0071】尚、図3（A）の平面図において多結晶シリコン膜70から形成されたVcc線73および接続部72は右上りの実線のハッチングで示し、第1および第2の負荷抵抗71（ R_1 、 R_2 ）は右上りの点線のハッチングで示してある。

【0072】図3（B）の断面図を参照して、第1の駆動トランジスタ T_1 のドレイン領域22である第2のN型

不純物領域22と第2の駆動トランジスタ T_2 のゲート電極32とは直接接続していない。第1の負荷抵抗 R_1 と連続的に形状形成された多結晶シリコン膜70の接続部72が共通コンタクト孔52内において、ゲート電極32の先端部分の上面に接続し側壁絶縁膜4上を延在して第2のN型不純物領域22と接続している。

【0073】同様に、第2の駆動トランジスタ T_2 のドレイン領域24である第4のN型不純物領域24と第1の駆動トランジスタ T_1 のゲート電極31とは直接接続していない。第2の負荷抵抗 R_2 と連続的に形状形成された多結晶シリコン膜70の接続部72が共通コンタクト孔52内において、ゲート電極31の先端部分の上面に接続し側壁絶縁膜4上を延在して第4のN型不純物領域24と接続している。

【0074】すなわち第2および第1の駆動トランジスタ T_2 、 T_1 のゲート電極32、31は多結晶シリコン膜70の接続部72を介して第1および第2の駆動トランジスタ T_1 、 T_2 のドレイン領域22、24に接続することにより第1および第2の節点 A_1 、 A_2 （図5）をそれぞれ構成している。

【0075】多結晶シリコン膜70は負荷抵抗71（ R_1 、 R_2 ）を形成する膜であり、かつゲート電極を形成する多結晶シリコン膜とは別の膜であるから、低抵抗化のみを意図するゲート電極を形成する多結晶シリコン膜への不純物導入に関係なく、適切な層抵抗が得られるように多結晶シリコン膜70の接続部72への不純物導入を行なうことにより、あるいは接続部72の平面形状を含む形状を考慮することにより、接続部72に適切な値の抵抗機能 r （図5）を形成することができる。

【0076】さらに多結晶シリコン膜70のパターンは中心点300に対して点対称に形成されているから、一方の抵抗機能 r の抵抗値と他方の抵抗機能 r の抵抗値とをたがいに等しくすることが容易となりこれによりバランスのよいSRAMセルとなる。

【0077】次に図4（A）、（B）、（C）において、全体にCVDシリコン酸化膜を堆積しアニールを行って第3の層間絶縁膜43を形成する。

【0078】その後、第3の層間絶縁膜43に接続パッド膜62に達するビットコンタクト孔53を形成する。

【0079】尚、図4（A）の平面図においてビットコンタクト孔53を□内に×印を入れて図示してある。

【0080】その後、アルミニウム膜を堆積しこれをパターンニングすることにより、ビットコンタクト孔53で接続パッド膜62に接続しさらに接続パッド膜62を通して、第1の転送トランジスタ T_1 のソースおよびドレイン領域の他方の領域の第3のN型不純物領域23に接続しY方向に延在するビット線（BL）81および第2の転送トランジスタ T_2 のソースおよびドレイン領域の他方の領域の第6のN型不純物領域26に接続しY方向に延在する反転ビット線（RBL）82をそれぞれ形成す

る。

【0081】尚、図4(A)の平面図においてビット線および反転ビット線81、82は右上りの実線のハッチングで示しており、また図面の煩雑を避けるためにセル中央のビット線および反転ビット線81、82の図示を省略してある。

【0082】図2(A)を用いて説明したように、SRAMセルMC₁に対する一対の接続パッド膜62はY方向を同じ向き(図で上方向)のみに延びており、X方向に隣接するSRAMセルMC₂に対する一対の接続パッド62'はY方向を逆の向き(図で下方向)のみに延びている。

【0083】そして図4(A)に示すように各接続パッド膜62は長方形の一端側でコンタクト孔51を通して転送トランジスタのソースおよびドレイン領域の他方の領域となる第3および第6のN型不純物領域23、26にそれぞれ接続し、他端側でビットコンタクト孔53を通してビット線81および反転ビット線82をそれぞれ接続している。そしてビットコンタクト孔におけるビット線81および反転ビット線82の箇所は良好なコンタクト接続を得るためにX方向に幅広の箇所となっている。そしてアルミニウム膜のパターニングを容易にしてビット線、反転ビット線の高密度の形成を可能とするためには、X方向に配列してY方向に延在するビット線、反転ビット線の幅広の箇所間の間隔をなるべく離間させる必要がある。

【0084】このために本実施例では、SRAMセルMC₁に対する一対の接続パッド膜62をY方向を同じ向き(図で上方向)のみに延ばし、X方向に隣接する(図で右方向に隣接する)SRAMセルMC₂に対セルに対する一対の接続パッド62はY方向を逆の向き(図で下方向)のみ延びて、SRAMセルMC₂に対するビット線81のビットコンタクト孔における幅広の箇所とSRAMセルMC₁に対するビット線81のビットコンタクト孔における幅広の箇所とがなるべく離間するようになっている。

【0085】次に図6を参照して本発明の共通コンタクト構造をさらに詳細に説明する。

【0086】図6(A)は上記実施例の図3(B)の共通コンタクトの部分を拡大して示した断面図である。同図において、例えば寸法Aが0.6μm、寸法Bが0.2μm、寸法Cが0.1μm、寸法Dが0.3μmである。

【0087】図6(B)は上記実施例を変更した他の実施例の共通コンタクトの部分を拡大して示した断面図である。同図において、他方の駆動トランジスタのゲート電極32の先端部分はフィールド絶縁膜2上で終端しており、多結晶シリコン膜70の抵抗素子rを形成する接続部72は一方の駆動トランジスタのドレイン領域22からフィールド絶縁膜2上を延在したあとゲート電極3

2の側面および上面に接続している。例えば寸法Eが0.2μm、寸法Fが0.2μm、寸法Gが0.2μmである。

【0088】図6(C)は上記実施例を変更した別の実施例の共通コンタクトの部分を拡大して示した断面図である。同図において、他方の駆動トランジスタのゲート電極32の先端部分とフィールド絶縁膜2の先端とが一致しており、多結晶シリコン膜70の抵抗素子rを形成する接続部72は一方の駆動トランジスタのドレイン領域22からフィールド絶縁膜2の先端側面上を通過してゲート電極32の先端部分の側面および上面に接続している。例えば寸法Hが0.4μm、寸法Iが0.2μmである。接続部72へのN型不純物のイオン注入は下方向に垂直に向けて行なわれるが、図6(C)の接続部はドレイン領域22から上方に垂直に延在する箇所を有しているからこの箇所にはN型不純物が導入しにくくなり、この箇所の抵抗値が他の箇所より大きくなる。すなわち図6(C)の接続部はその内部で抵抗値の分布が異なる特徴があり、これを利用して抵抗素子rとしての抵抗値rを所定の値にすることが可能となる。

【0089】図6の(A)、(B)、(C)の構造において一般にはその抵抗値rの大きさは、(B))

(A)) (C))であるが、このうちどの構造を選択するかは、そのSRAM品種の特性の設計により決定される。そして、(A)、(B)、(C)の構造やその寸法を調整することで、図3で説明した不純物導入による層抵抗の調整とともに抵抗素子rの抵抗値rをソフトエラーの発生率とアクセスタイムの両者を考慮した所定の値に定めることができる。

30 【0090】図7は図3(B)に対応する箇所を変更した他の実施例である。尚、図7において図1~図4と同一もしくは類似の箇所は同じ符号を付けてあるから重複する説明はなるべく省略する。

【0091】図3(B)において、高抵抗の負荷抵抗71と層間絶縁膜42と接地配線膜61とでMOS容量が形成されてRC分布定数回路となっている。

【0092】α粒子が入射した際の節点Aのレベルダウンを防止するためにこのMOS容量から節点Aに電荷を供給するのであるが、図3(B)の構造の場合は形成されるMOS容量と節点Aとの間に負荷抵抗71の高抵抗の部分が存在するからそれによる時定数(形成されるMOS容量値×節点Aとの間の高抵抗値)が大きすぎて他方の駆動トランジスタのゲート電圧のレベルダウンを防止するのに間に合わない状態が懸念される場合には図7の構造が適切である。

【0093】図7では多結晶シリコン膜パターンの接続部72を層間絶縁膜42を介して接地配線膜61上にまで延在させている。これにより接地配線膜61の箇所61Aを下部電極とし、その上の層間絶縁膜62の箇所42Aを誘電体膜とし、その上に延在する接続部72の箇

所72Aを上部電極として構成されたMOS容量が形成される。

【0094】図7で形成されるMOS容量と節点Aとの間には負荷抵抗71の高抵抗の部分は存在しないから、 α 粒子が入射した際の節点Aのレベルダウンを防止するためMOS容量から節点Aに瞬時に電荷を供給することができ、他方の駆動トランジスタのゲート電圧のレベルダウンによるソフトエラーの防止をより確実にする。すなわち図7においては、上記MOS容量が他方の駆動トランジスタのゲート容量に付加することによりこの他方の駆動トランジスタのゲート電圧保持を助けている構造となる。

【0095】

【発明の効果】以上説明したように本発明によれば、一方のインバータの駆動トランジスタのドレイン領域に他方のインバータの駆動トランジスタの低抵抗の導電膜によるゲート電極が直接接触しないで、所定箇所に負荷抵抗Rを形成するシリコン膜の接続部を介して接続している。したがって接続部に所望する抵抗値rの抵抗素子rを形成することができる。このような抵抗素子を共通コンタクト部に挿入することによりソフトエラーの抑制が出来る。すなわち一方のインバータの駆動トランジスタのドレイン領域がハイレベルの時に α 粒子が入射するとその電荷が基板に引き抜かれてドレイン領域はレベルダウンするが、上記構成によれば、ゲート容量と抵抗素子rの抵抗値rとの積（時定数）により他方のインバータの駆動トランジスタのゲート電極のレベルダウンを鈍感にすることができこれによりソフトエラーが発生しにくい負荷抵抗型の半導体記憶装置となる。

【0096】またソフトエラーに対する対策に限らずデータ保持の信頼性を向上させるにはSRAMセル内の各素子を点対称にして各素子間の平衡性を良くする必要がある、かつそのために工数を増加することを回避しなくてはならない。上記構成によれば、駆動トランジスタのゲート電極、転送トランジスタのゲート電極、負荷抵抗の3つの要素に対して2層のシリコン層で対応できる。すなわち駆動トランジスタのゲート電極と転送トランジスタのゲート電極を共通の1層のシリコン層から形成し、負荷抵抗を残りの1層から構成する。このようにすることにより工数が低減でき廉価な負荷抵抗型の半導体記憶装置となる。

【図面の簡単な説明】

【図1】本発明の一実施例における各トランジスタを主に示す図であり、(A)は平面図、(B)および(C)はそれぞれ(A)のB-B部およびC-C部の断面図である。

【図2】本発明の一実施例における接地配線膜および接続パッド膜を主に示す図であり、(A)は平面図、(B)および(C)はそれぞれ(A)のB-B部およびC-C部の断面図である。

【図3】本発明の一実施例における多結晶シリコン膜から形成されたVcc線、接続部および負荷抵抗を主に示す図であり、(A)は平面図、(B)および(C)はそれぞれ(A)のB-B部およびC-C部の断面図である。

【図4】本発明の一実施例におけるビット線および反転ビット線を主に示す図であり、(A)は平面図、(B)および(C)はそれぞれ(A)のB-B部およびC-C部の断面図である。

10 【図5】本発明の一実施例におけるSRAMセルの回路を示す回路図である。

【図6】本発明における共通コンタクト構造を例示する図であり、(A)は一実施例の拡大断面図、(B)は他の実施例の拡大断面図、(C)は別の実施例の拡大断面図である。

【図7】本発明の接続部に関する別の実施例を示す断面図である。

【図8】従来技術のSRAMセルの回路を示す回路図である。

20 【図9】従来技術の共通コンタクト構造をそれぞれ示す断面図である。

【図10】従来技術の抵抗負荷型SRAMセルを示す平面図である。

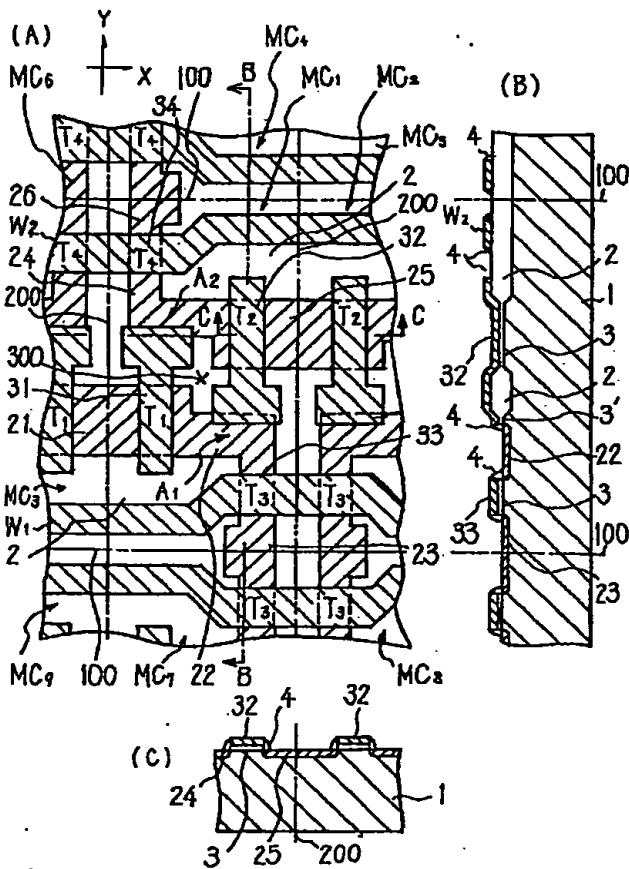
【符号の説明】

- | | |
|-------------------------|--------------------------|
| 1 | P型シリコン基板 |
| 2 | フィールド絶縁膜 |
| 3 | ゲート絶縁膜 |
| 3' | ゲート絶縁膜の残余部分 |
| 4 | 側壁絶縁膜 |
| 21~26 | N型不純物領域（ソース、ドレイン領域） |
| 31, 32 | ゲート電極 |
| 41, 42, 42A, 43 | 層間絶縁膜 |
| 51 | コンタクト孔 |
| 52 | 共通コンタクト孔 |
| 53 | ビットコンタクト孔 |
| 61, 61A | 接地配線膜 |
| 62, 62' | 接続パッド膜 |
| 70 | 多結晶シリコン膜パターン |
| 71 | 多結晶シリコン膜パターンの負荷抵抗を形成する領域 |
| 72, 72A | 多結晶シリコン膜パターンにおける接続部 |
| 73 | 多結晶シリコン膜パターンのVcc線を形成する領域 |
| 81, BL | ビット線 |
| 82, RBL | 反転ビット線 |
| 121, 122, 123, 124, 125 | N型不純物領域 |
| 131, 132 | 多結晶シリコンゲート電極 |

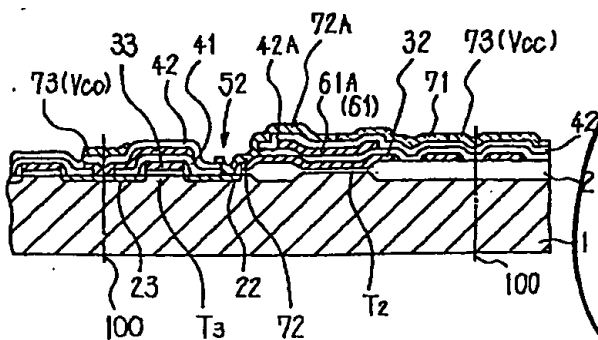
21

- 133 ワード線
 141, 142 層間絶縁膜
 152 共通コンタクト孔
 171 多結晶シリコン膜の負荷抵抗
 173 高不純物濃度の多結晶シリコン層
 100, 200 セルの境界を説明する線
 300 セルの中心を説明する点
 T_1, T_2 駆動トランジスタ

【図1】



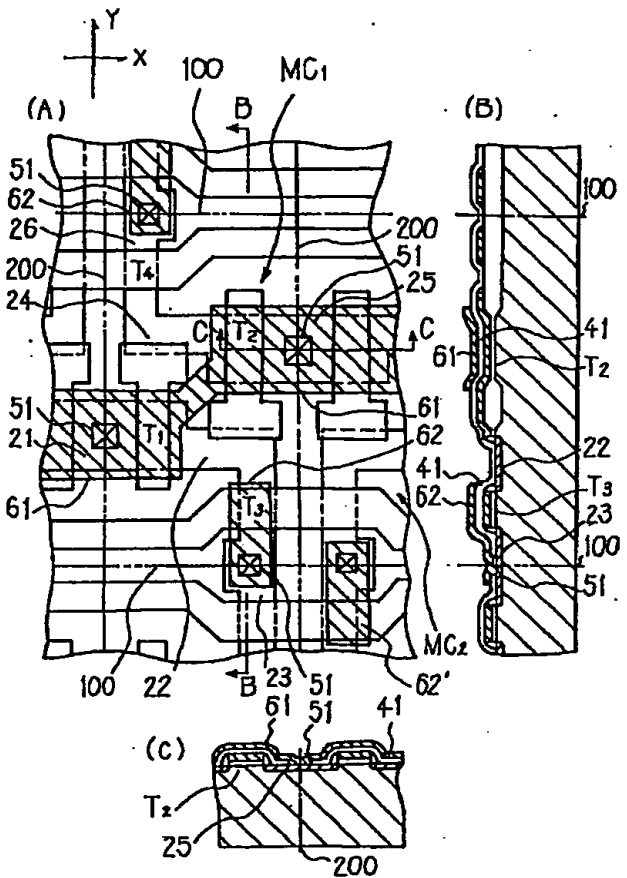
【図7】



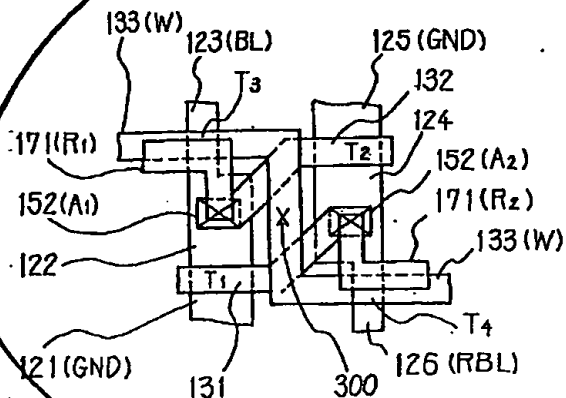
22

- * T_1, T_2 転送トランジスタ
 R_1, R_2 負荷抵抗
 r 抵抗素子およびその抵抗値
 A_1, A_2 節点
 W, W_1, W_2 ワード線
 V_{cc} 高電位線
 GND 低電位線
 * $MC_1 \sim MC_n$ SRAMセル

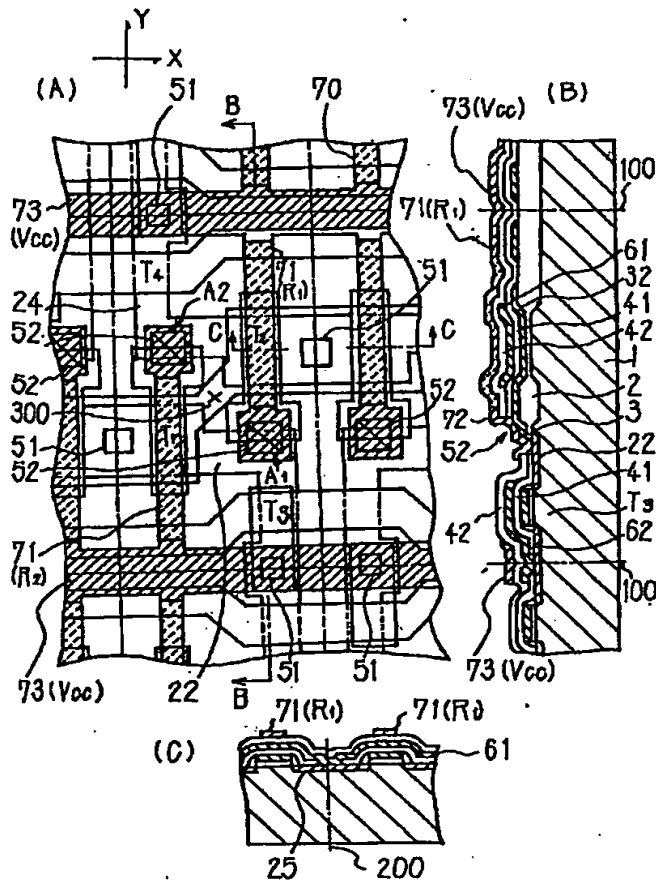
【図2】



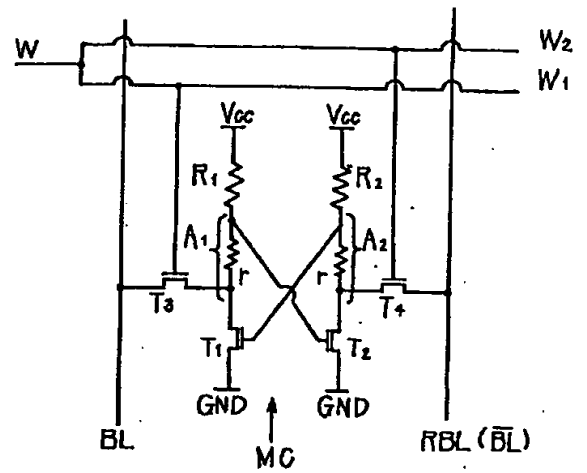
【図10】



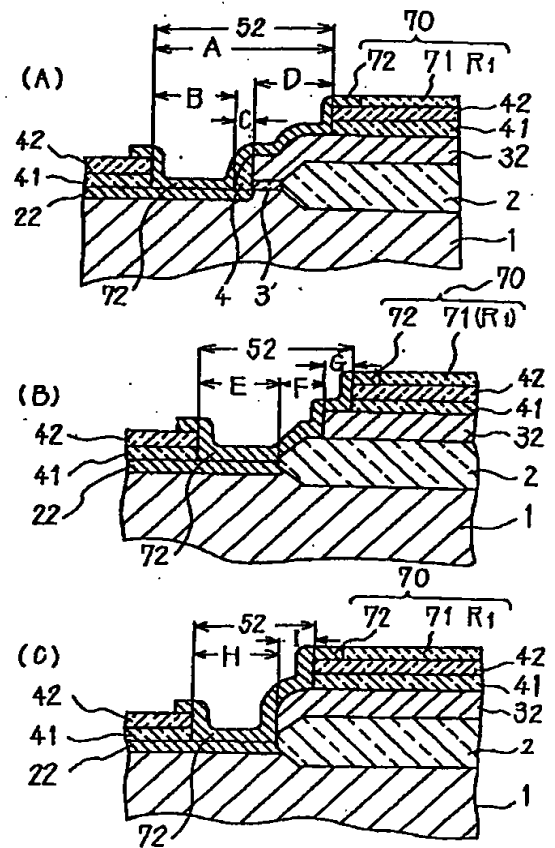
【図3】



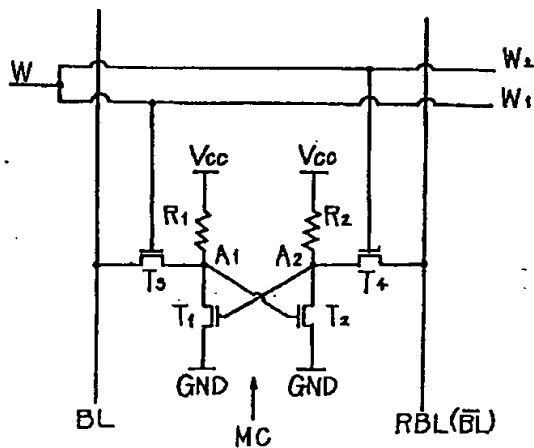
【図5】



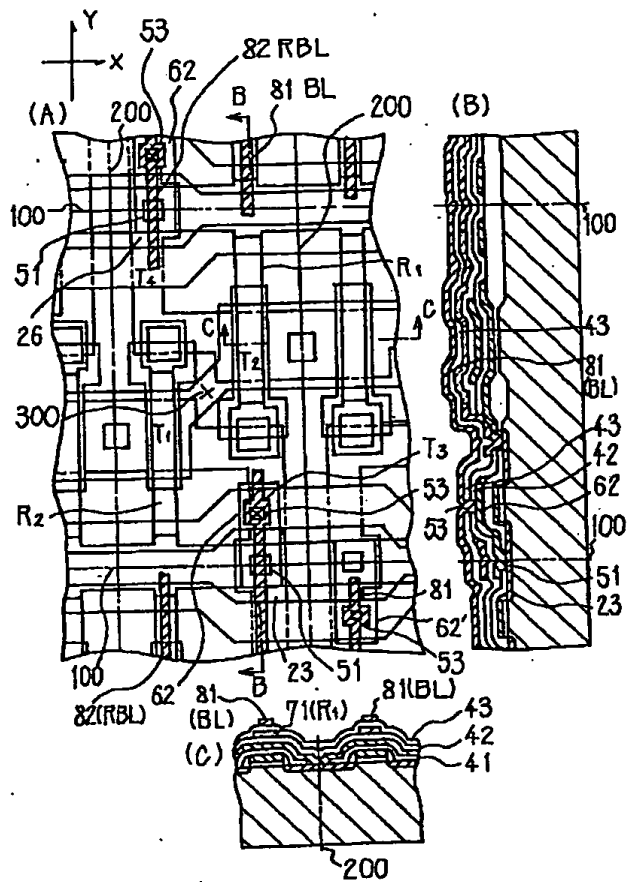
【図6】



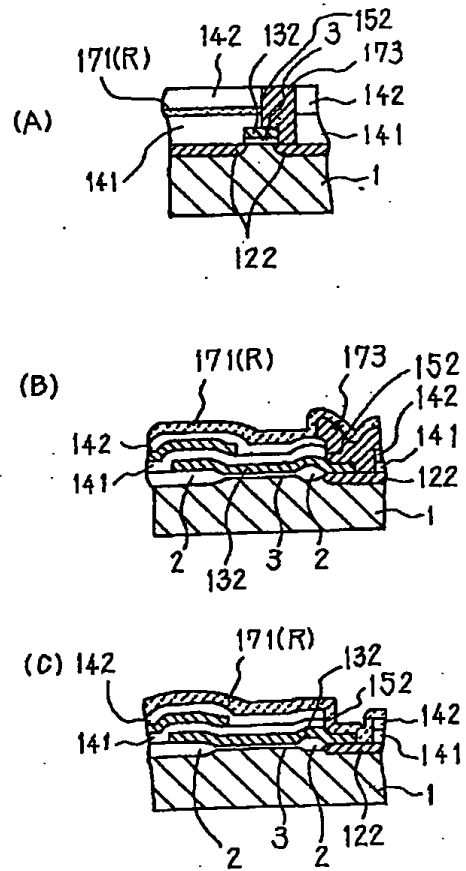
【図8】



【図4】



【図9】



フロントページの続き

(72)発明者 比留間 貴美
東京都港区芝五丁目7番1号 日本電気株
式会社内